

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224731

(43)Date of publication of application : 12.08.1994

(51)Int.Cl. H03K 19/0175
H03K 17/66
H03K 19/003

(21)Application number : 05-319052

(71)Applicant : INMOS LTD

(22)Date of filing : 25.11.1993

(72)Inventor : PARSONS BRIAN JEREMY
ROBERT JOHN SIMPSON

(30)Priority

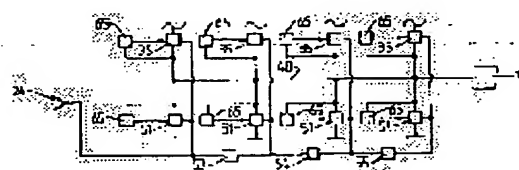
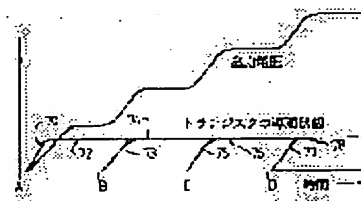
Priority number : 92 9224685 Priority date : 25.11.1992 Priority country : GB

(54) CONTROLLED-IMPEDANCE TRANSISTOR SWITCHING CIRCUIT

(57)Abstract:

PURPOSE: To control pull-up and pull-down circuits so as to avoid the excessively large rate of change in the current of an output driver by appropriately selecting the time interval between each signal against the time required by each transistor to completely change to the other conducting state from one conducting state.

CONSTITUTION: The conducting states of transistor (TRs) 35 and 51 start to change as shown by the line 70 a short time interval after a signal '1' enters a point A and, thereafter, are completely changed to the states shown by the horizontal line 72. A little after a signal is inputted to a point B, the conducting states of the TRs 35 and 51 gradually change as shown by the line 73 and, thereafter, are completely changed to the states shown by the line 74. Thus the delays by means of units 53, 54, and 55 are selected so that signals B, C, and D may be respectively supplied to the preceding and succeeding transistors after the conducting states of the transistors are completely changed. In this case, the conducting state of a TR pair in an arbitrary stage is completely changed before the TR in the next stage starts to become a conducting state.



LEGAL STATUS

[Date of request for examination] 14.11.2000

[Date of sending the examiner's decision of rejection] 27.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224731

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175				
17/66	C	9184-5 J		
19/003	Z	8941-5 J		
		8941-5 J	H 0 3 K 19/ 00	1 0 1 F

審査請求 未請求 請求項の数13 F D (全 7 頁)

(21)出願番号 特願平5-319052
(22)出願日 平成5年(1993)11月25日
(31)優先権主張番号 9 2 2 4 6 8 5 . 9
(32)優先日 1992年11月25日
(33)優先権主張国 イギリス (G B)

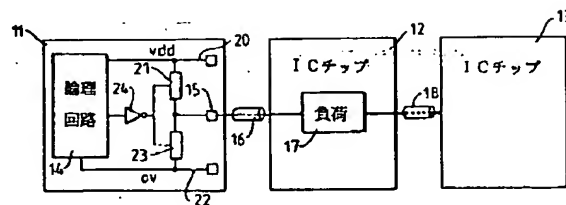
(71)出願人 591044599
インモス、リミテッド
INMOS, LIMITED
イギリス国ブリストル、アーマンズベリ
ー、アズテック、ウェスト、1000
(72)発明者 ブライアン、ジェレミー、パーソンズ
イギリス国ブリストル、クリフトン、ロド
ニー、ブレイス、7、フラット、7
(72)発明者 ロバート、ジョン、シンプソン
イギリス国ブリストル、トッキントン、ブ
ール、コーナー、5
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 制御インピーダンストランジスタスイッチング回路

(57)【要約】

【目的】 スイッチング動作中の実効インピーダンスを制御する。

【構成】 出力ノードと、夫々が前記出力ノードと高／低電位の電源供給線との間に並列に接続された複数のプルアップ／プルダウン回路とを備え、(前記回路のそれぞれは、オン、オフ状態の間でスイッチング可能な少なくとも1つのトランジスタと、そのトランジスタがオンしたときその回路に所要の抵抗を維持できる回路手段とを有する)と、プルアップ及びプルダウン回路の一連のスイッチング動作において、それぞれの動作は1つのプルアップ回路、プルダウン回路のトランジスタを同時にスイッチングし、その連続的な動作の間に遅延をもたらす遅延回路手段を含み、出力インピーダンスを、出力の信号が変化している間、安定させるスイッチ動作回路手段とを、備えるものとして構成される。



【特許請求の範囲】

【請求項1】出力ノードと、

夫々が前記出力ノードと高電位の電源供給線との間に並列に接続されている複数のプルアップ回路と、
夫々が前記出力ノードと低電位の電源供給線との間に並列に接続されている複数のプルダウン回路と、
とを備え、

前記プルアップ及びプルダウン回路のそれぞれは、オン状態とオフ状態と間でスイッチング可能である少なくとも1つのトランジスタスイッチと、トランジスタスイッチがオンしたときその回路において所要の抵抗を維持することが実施可能な回路手段とを有しており、
さらに、前記プルアップ及び前記プルダウン回路の一連のトランジスタスイッチング動作において、それぞれの動作は1つのプルアップ回路と1つのプルダウン回路のトランジスタを同時にスイッチングし、その連続的な動作の間に時間遅延をもたらす遅延回路手段を含むスイッチ動作回路手段と、
備える、制御インピーダンストランジスタスイッチ回路。

【請求項2】出力端子と、

夫々が前記出力端子と高電位の電源供給線との間に並列に接続されている複数のプルアップ回路と、
夫々が前記出力端子と低電位の電源供給線との間に並列に接続されている複数のプルダウン回路と、
を備え、

前記プルアップ及びプルダウン回路のそれぞれは、オン状態とオフ状態と間でスイッチング可能である少なくとも1つのトランジスタスイッチと、トランジスタスイッチがオンしたときその回路において所要の抵抗を維持することが実施可能な回路手段とを有しており、
さらに、前記プルアップ及び前記プルダウン回路の一連のトランジスタスイッチング動作において、それぞれの動作は1つのプルアップ回路と1つのプルダウン回路のトランジスタを同時にスイッチングし、その連続的な動作の間に時間遅延をもたらす遅延回路手段を含み、出力インピーダンスを、出力端子の信号が変化している間、安定させるスイッチ動作回路手段と、
備える、集積回路用の出力ドライバ回路。

【請求項3】前記プルアップ回路及び前記プルダウン回路は、伝送線のソース終端を与えるために、データを転化させるレベルの反射信号が伝送線に沿って伝送されるのを防ぐのに有効な抵抗を有し、データを前記出力端子から離れた位置へ伝送するシリアル伝送線に接続された請求項2記載の出力ドライバ回路。

【請求項4】前記遅延回路は夫々のスイッチング動作間に、各トランジスタスイッチのオンおよびオフ状態の間の遷移時間より長い遅延を与えるごとくになった請求項1、2または3の1に記載の回路。

【請求項5】前記所要の抵抗を維持するための回路手段

は前記トランジスタスイッチと直列した抵抗素子を含むごとくになった請求項1乃至4の1に記載の回路。

【請求項6】前記所要の抵抗を維持するように動作可能な回路手段は前記トランジスタスイッチに接続してオン状態の上記トランジスタスイッチの抵抗を制御するゲートへ信号を与える帰還回路を含むごとくになった請求項1乃至4の1に記載の回路。

【請求項7】前記夫々のプルアップおよびプルダウン回路は抵抗素子と直列のトランジスタを含み、この抵抗素子の抵抗値は上記トランジスタが導通したときのそのトランジスタの抵抗より実質的に大きいものであるごとくになった請求項1乃至6の1に記載の回路。

【請求項8】3個以上のプルアップ回路と3個以上のプルダウン回路を含むごとくになった請求項1乃至7の1に記載の回路。

【請求項9】出力ノードと、

夫々が前記出力ノードと高電位の電源供給線との間に並列に接続されている複数のプルアップ回路と、
夫々が前記出力ノードと低電位の電源供給線との間に並列に接続されている複数のプルダウン回路と、
を有し、

前記プルアップ及びプルダウン回路のそれぞれは、少なくとも1つのトランジスタスイッチと、トランジスタスイッチがオンしたときその回路において所要の抵抗を維持することが可能な回路手段とを備えている、
制御インピーダンストランジスタスイッチ回路の動作方法のうち、

連続的な動作の間に時間遅延をもたせた一連のトランジスタスイッチング動作において、それぞれの動作が1つのプルアップ回路と1つのプルダウン回路のトランジスタを同時にスイッチングし、一方、少なくとも1つの他のプルアップ及びプルダウン回路においては変化を行わせないようにすることを備える制御インピーダンストランジスタスイッチ回路の動作方法。

【請求項10】前記動作間の遅延は、一つのスイッチング動作においてスイッチしたトランジスタが次のスイッチング動作の開始前にその状態を変化させているようなものである請求項9に記載の方法。

【請求項11】夫々の動作シーケンスは各プルアップ回路内のトランジスタが第1状態となり、各プルダウン回路のトランジスタが第2状態となるときに開始し、そしてそのシーケンスの終わりで各プルアップ回路のトランジスタが前記第2状態となり各プルダウン回路のトランジスタが前記第1状態となるごとくになった請求項9または10記載の方法。

【請求項12】集積回路装置の出力端子から負荷へ伝送ラインを介して直列にデータを伝送する方法であってこの伝送ラインは請求項9乃至11の1に記載の方法によりスイッチされる出力ドライバ回路によりソース終端されるごとくになった方法。

3

【請求項13】複数の集積回路装置の間の2個の前記装置間に相互接続したデータバスを有し、このデータバスは前記複数の集積回路装置の内の1組の、請求項2または3の出力ドライバ回路に接続する伝送ラインを含むようになった前記複数の集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路の出力ドライバに使用されるような回路を含む制御インピーダンス型トランジスタスイッチ回路に関する。

【0002】

【従来の技術】コンピュータシステムでのバス接続を避けるために2個の相互接続したコンピュータ即ち集積回路チップ間の1本の導電路に沿ってシリアルデータ通信を行うための提案がなされている。そのような直列データ通信では相互接続した装置のネットワーク内の接続の数は少くなるが、高い信号帯域幅が必要であるためチップ間接続の相互接続は伝送線として取扱わねばならない。データの歪みによるエラーを回避するためにはそのような伝送線に沿った望ましくない反射を減少させる必要がある。

【0003】

【発明が解決しようとする課題】そのような反射を避けるには伝送線は発信元または受信端に適当な終端を有していなければならない。伝送線に接続する出力ドライバ回路で発信元終端を用いる場合には電力消費は減少するが、出力ドライバの抵抗がその線に沿ってデータを送る場合の出力信号の変化中に変化するといくつかの問題が生じる。一般にドライバ回路は信号値の変化を示すために出力端子の電位を変化させるべくプルアップまたはプルダウントランジスタを使用する。そのようなドライバトランジスタの抵抗はスイッチング周期では通常0ではない。すなわち、スイッチングトランジスタが導通状態になる前に出力信号レベルの変化が出力端子から送られることになる。スイッチング動作中の中間抵抗は場合によっては負荷側端に誤データまたはグリッチを入れることになる。

【0004】本発明の目的はスイッチング動作中実効インピーダンスを制御するインピーダンストランジスタスイッチ回路を提供することである。

【0005】

【課題を解決するための手段】本発明は制御インピーダンストランジスタスイッチ回路を提供するものであって、この回路は出力ノードと、夫々上記出力ノードと高電位の電源線との間に並列接続される複数の並列プルアップ回路と、夫々が上記出力ノードと低電位電源線との間に並列に接続される複数の並列プルダウン回路と、スイッチ作動回路装置と、を含み、上記プルアップおよびプルダウン回路の夫々はオン状態とオフ状態の間でスイッチ可能な少なくとも1個のトランジスタスイッチとこのト

4

ランジスタスイッチがオンとなるときその回路の抵抗を所望値に維持するように動作する回路装置とを含んでおり、上記スイッチ作動回路装置は上記プルアップおよびプルダウン回路において夫々が1個のプルアップ回路と1個のプルダウン回路内の1個のトランジスタの同時スイッチングを行う一連のトランジスタスイッチング動作を夫々の間に時間遅延をもって行わせるための時間遅延回路を含む。

【0006】本発明はまた集積回路用の出力ドライバ回路を提供するものであって、このドライバ回路は出力端子と、夫々上記出力端子と高電位の電源線との間に並列に接続する複数の並列プルアップ回路と夫々上記出力端子と低電位の電源線との間に並列に接続する複数の並列プルダウン回路と、スイッチ作動回路装置と、を含み、上記プルアップおよびプルダウン回路の夫々はオン状態とオフ状態の間でスイッチ可能な少なくとも1個のトランジスタスイッチとこのトランジスタスイッチがオンとなるときその回路の抵抗を所望値に維持するように動作する回路装置とを含んでおり、上記スイッチ作動回路装置は上記プルアップおよびプルダウン回路において、夫々が1個のプルアップ回路と1個のプルダウン回路内の1個のトランジスタの同時スイッチングを行う一連のトランジスタスイッチング動作を夫々の間に時間遅延をもって行わせしめる時間遅延回路を含み、それにより出力インピーダンスが出力端子の信号の変化中安定化されることになっている。

【0007】上記回路装置は上記トランジスタスイッチと直列になった抵抗を含むことが出来る。あるいはこの回路装置はトランジスタスイッチのオン状態を制御して完全に導通したときそのスイッチを介し所望の抵抗を維持するための帰還回路を含むことが出来る。使用に当たっては、この出力ドライバ回路は直列伝送線に接続され、データを出力端子から遠隔位置に伝送する。プルアップおよびプルダウン回路はこの伝送線に沿って送られるデータを損うようなレベルの反射信号を防止するためのこの伝送線用のソース終端を与える実効抵抗を有する。

【0008】好適には夫々のプルアップおよびプルダウン回路は抵抗素子と直列に1個のトランジスタを含み、この素子の抵抗値はそのトランジスタが完全に導通するときのそのトランジスタの抵抗より著しく大きい。

【0009】好適には前記スイッチ作動回路装置は時間遅延回路装置を有し、この遅延回路装置は夫々のトランジスタスイッチのオンおよびオフ状態間の遷移時間より大きい遅延をスイッチング動作間に導入する。

【0010】好適には3個以上のプルアップ回路と3個以上のプルダウン回路が用いられる。4個としてもよい。

【0011】本発明は、出力ノードと、夫々この出力ノードと高電位電源線との間に並列に接続した複数の並列プルアップ回路と、夫々この出力ノードと低電位の電源

5

線との間に並列に接続した複数の並列ブルダウンドロウ回路と、を含み、夫々のブルアップおよびブルダウンドロウ回路が少くとも1個のトランジスタスイッチとそのトランジスタスイッチがオンのときの実効抵抗を維持するための回路装置とを含むこととなった制御インピーダンストランジスタスイッチ回路を動作させる方法を含んでおり、この方法は、時間遅延をもって夫々1個のブルアップ回路と1個のブルダウンドロウ回路の1個のトランジスタを、少くとも他の1個のブルアップ回路および他の1個のブルダウンドロウ回路を変化させることなく同時にスイッチングさせる一連のトランジスタスイッチング動作を行わせることとなる。

【0012】次々行われるこれら動作間の時間遅延は、任意の1回のスイッチング動作においてスイッチされるトランジスタが次のスイッチング動作の開始前に完全にその導通状態を変えているようにするものである。

【0013】好適には動作のシーケンスは各ブルアップ回路のトランジスタが第1状態となり、各ブルダウンドロウ回路のトランジスタがその逆の第2状態となると開始し、そしてこのシーケンスの終りで各ブルアップ回路のトランジスタは第2状態にして各ブルダウンドロウ回路のトランジスタは第1状態になる。

【0014】本発明は集積回路装置の出力端子から負荷へ、伝送線を介してデータを直列に送る方法を含み、この伝送線は上記の方法でスイッチする出力ドライバ回路によりソース終端される。

【0015】本発明は複数の集積回路装置を含み、それらの内の2個の装置間で相互接続したデータバスを有し、このデータバスは上記装置の内の1個の出力ドライバ回路に接続する伝送線を含み、この出力ドライバ回路は前記のごときものである。

【0016】

【実施例】図1はチップ11、12、13のような相互に接続された集積回路チップのネットワークを示しており、この例ではチップ11はデータを出力端子15から伝送線16を介してチップ12上の負荷17に送るように構成された論理回路14を含む。この伝送線16は直列シングルデータ線であり、同様の伝送線18はチップ13からチップ12にデータを供給するために用いられる。この例ではこれらチップはマイクロコンピュータまたは他の集積回路チップを含み、そしてここでは便宜上チップ11の出力ドライバ回路の詳細のみを述べる。この場合、出力端子15は切替可能なブルアップ回路21により高電位供給線20に接続可能である。あるいはこの出力端子15は切替可能なブルダウンドロウ回路23により接地線22に接続することが出来る。ブルアップおよびブルダウンドロウ回路21、23の動作は論理回路14で制御される論理ゲート24によって制御される。

【0017】ブルアップおよびブルダウンドロウ回路装置21、23の詳細を図2に示す。ブルアップ回路装置21

6

は4個の並列ブルアップ回路30、31、32、33を含む。これら回路の夫々はスイッチングトランジスタ35と直列接続した抵抗36を含む。これら回路30、31、32、33の夫々は出力端子15に接続したライン40と電圧電源線20の間に並列に接続する。ブルダウンドロウ回路装置23は4個の並列回路41、42、43、44を含み、その夫々はライン40と接地線22の間にスイッチングトランジスタ51と直列となった抵抗50から成る。

【0018】この場合、論理ゲート24は出力端子15の出力信号の状態を変えるための信号をライン52に与えるスイッチ作動回路装置として作用する。このスイッチ作動回路装置は遅延回路装置を含み、この遅延回路装置はライン52に接続した3個の遅延ユニット53、54、55を含む。ライン52の信号の変化はまずブルアップおよびブルダウンドロウ回路30と41に加えられる入力Aとして与えられる。遅延ユニット53により与えられる遅延時間後にその信号は次のブルアップおよびブルダウンドロウ回路対31と42への点Bに加えられる。そして遅延ユニット54による遅延時間後に、ライン52の信号はその次のブルアップおよびブルダウンドロウ回路対32、43へのCに加えられる。遅延ユニット55による最後の遅延後にライン52の信号は最後のブルアップおよびブルダウンドロウ回路対33、44へのDに加えられる。各ブルアップおよびブルダウンドロウ回路対はA、B、CまたはDに加えられる信号がその対のブルアップおよびブルダウンドロウトランジスタのゲートに同時に加えられてライン40を電源線20に接続しそしてそれを接地点から切離すか、あるいはライン40を接地しそして電源線20から切離すかするという点で同様に動作する。

【0019】ライン52上の信号の値の0から1へそして次に0にもどる1回の変化の効果を図3に示す。出力パッド15上の電圧はライン60で示しており、これはブルアップおよびブルダウンドロウ回路が適正な遅延後に次々に切替わるたびに接地電位とVDDの間で段階的に増加する。まず4個のブルダウンドロウ回路のすべてがライン40を接地電位になっており、ブルアップ回路が高電位ライン20からライン40を切離す。スイッチ作動信号がAに入ると第1の回路対がライン40をブルアップ回路30を介して高電位に接続させるように切替わりそしてブルダウンドロウ回路41が開放し、その間3個の他のブルダウンドロウ回路42、43、44はライン40の接地点への接続を維持する。これは、1個の接地されたブルアップ回路30がポテンシャルデバイダとして作用して3個のそれにより接続したブルダウンドロウ回路が出力パッドの電位を位置61に1ステップ上昇させることを意味する。遅延ユニット53による遅延後に、入力信号Bが図3に示すように作動され、そして出力パッドの電位は2個のブルアップ回路30、31、高電位線20にライン40を接続し、2個のブルダウンドロウ回路43、44がライン40を接

7

地ラインに接続したままとなっているから、レベル6 2へと変化する。Cでの入力信号の作用後に、1 5の出力電圧は3個のプルアップ回路がライン4 0を高電位電源ライン2 0に接続し、プルダウン回路4 4のみがライン4 0を接地ラインに接続したままとなるからレベル6 3に上昇する。Dでの入力後に4個のプルアップ回路のすべてが高電位ライン2 0に接続し、プルダウン回路は閉じない。これにより、端子1 5の出力信号は電源ライン電位に対応するものとなる。同様に、ライン5 2の信号がこの出力を1から0に切換えるとき、このスイッチングのシーケンスは逆になり、回路3 0と4 1がまずライン4 0を接地させてそれをライン2 0から切離し、他の3個の回路が高電位ライン2 0への接続を維持する。次々のスイッチング動作において、夫々の回路は出力端子1 5の電位を接地電位に前記した段階を逆にたどって低下させるように動作する。

【0 0 2 0】図4は出力電圧の0から電源ライン2 0の電位への変化中のプルアップおよびプルダウン段の夫々の動作を示す。図4において、値1を出す信号はまずAに入り、そして短い時間インターバル後にトランジスタ3 5と5 1がその導通状態を図4のライン7 0で示すように変化しはじめる。トランジスタ3 5と5 1が完全に变化した導通条件になったときを水平部分7 2で示している。Bの信号入力から僅かの時間後に、トランジスタ3 5と5 1はライン7 3で示すように序々にその導通状態を変化させそして7 4で完全に变化した導通状態となる。同様に、Cでの信号入力後に、トランジスタ3 5と5 1は7 5で示すようにその状態を変化し、7 6で示すように完全に变化した状態となる。Dでの信号入力後に、トランジスタ3 5、5 1は7 7で示すように序々に変化して7 8で完全な变化した状態となる。ユニット5 3、5 4、5 5による遅延は信号B、C、Dが前段のトランジスタがすでに完全に变化した導通状態となった後にのみ夫々のトランジスタに加えられるように選ばれる。この例では任意の段のトランジスタ対の導通状態は次の段のトランジスタがその導通状態を変化しはじめる前に完全に变化している。これは、夫々のトランジスタが一つの導通状態から他へと完全に变化するに要する時間に対し、信号A、B、CおよびDの間の時間インターバルを適正に選ぶことにより達成される。

【0 0 2 1】時間の遅れた段階的なシーケンスで出力電圧を切換えるようにすることにより、出力ドライバ回路の電流の変化率は、出力ドライバの電源に過度のグリッチまたはバウンスを生じさせるような電流の過度の変化率を避けるように制御される。

【0 0 2 2】更に、抵抗3 6、5 0の値はトランジスタ3 5、5 1がオンとなるときその抵抗に対しかなりのものとなるようにされる。いくつかの例では、抵抗3 6-5 0は同一の値であるが、他の実施例では抵抗3 6の値は抵抗5 0とは異なったものとしうる。トランジスタ

8

3 5または5 1がそれを導通させるためのスイッチング動作中導通しはじめると、そのトランジスタが他の導通状態に完全に变化する充分前に図4に示すように出力電圧を変化させることがわかる。云い換えると、それが或る導通度となってしまうと、そのトランジスタの抵抗が二つの極限導通状態間で変化しつつある間に出力電圧は変化することになる。しかしながら、大きな抵抗3 6または5 0が直列に入るために出力端子1 5および伝送ライン1 6からみての全体の抵抗の変化はトランジスタ3 5または5 1のスイッチングの中間状態では非常に小さい。従って、夫々がスイッチングトランジスタとは直列の回路を介しての遅延したスイッチング動作シーケンスをもって出力信号を切換えるようにすることにより、伝送ライン1 6のソース終端を形成する出力抵抗を実質的に安定化することが出来る。

【0 0 2 3】抵抗3 6と5 0の値は、伝送ライン1 6でのデータ伝送の望ましくない反射を避けるように出力パッド1 5の電圧変化の夫々の方向について予定の限界内に維持するように選ばれる。出力パッド1 5から送られるデータは、この場合、直列データビットであり、抵抗値は反射電圧レベルがしきい値より低くなり、信号値の高信号値1へあるいは接地値へ移る変化と解釈しうるような実質的な反射の減少をもたらすように選ばれる。

【0 0 2 4】出力抵抗値の変動は、勿論スイッチングトランジスタが二つの導通状態間の遷移状態にある期間に生じるものであって、これらトランジスタは好適には出力インピーダンスの不整合が生じうる時間を最少とするためにそれらの二つの逆の導通状態間のスイッチングに対し最少遷移時間をもつ。

【0 0 2 5】本発明は以上述べた例には限られない。例えば抵抗3 6と5 0は例えばスイッチングトランジスタに直列の許容しうる抵抗値をもつトランジスタ回路のような他の実効抵抗素子で置き換えてもよく、あるいは図5の構成としてもよい。この例では同一の参照数字を図2のものと同一の素子について使用している。この場合、抵抗3 6と5 0は省略されそしてトランジスタ3 5と5 1の直列抵抗が帰還回路6 5によりそのオン状態において制御される。この場合、トランジスタ3 5と5 1はオフ状態で高インピーダンスを有し、そしてオンとなるとプルアップおよびプルダウン回路に接続した帰還回路6 5により抵抗3 6と5 0によって与えられるものに等しい低い抵抗となるCMOS装置である。

【図面の簡単な説明】

【図1】本発明の集積回路チップのネットワークの概略図である。

【図2】図1のチップの一の出力ドライバ回路の回路の詳細図である。

【図3】図2に用いられる信号のタイミングシーケンスを示す図である。

【図4】図2のトランジスタの導通シーケンスを示す図

である。

【図5】プルアップおよびプルダウン回路の他の構成を示す図である。

【符号の説明】

11, 12, 13 チップ

14 論理回路

15 出力端子

16, 18 伝送ライン

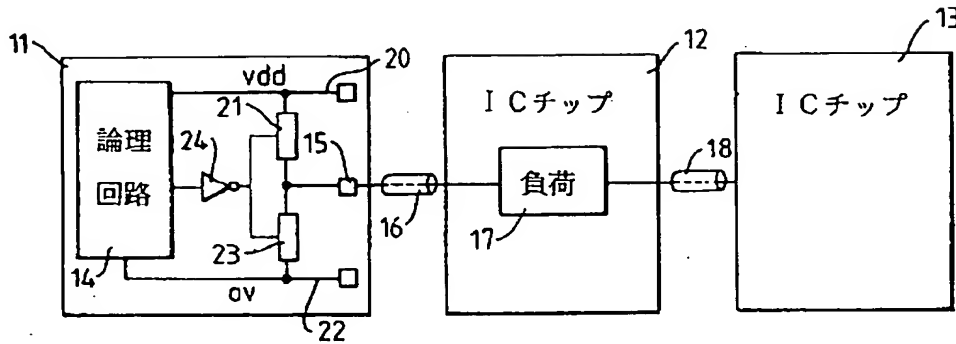
17 負荷

20 高電位電源ライン

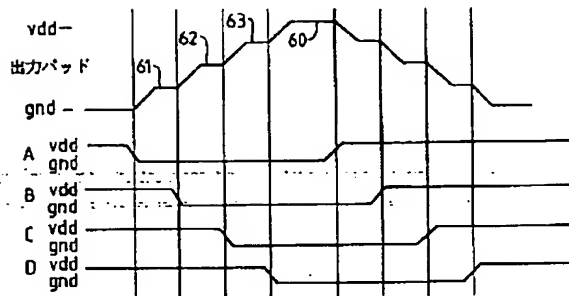
21 プルアップ回路

23 プルダウン回路

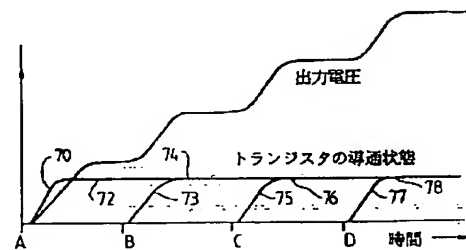
【図1】



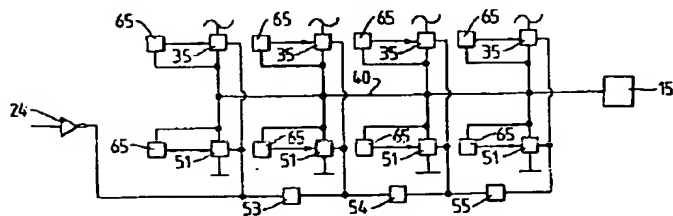
【図3】



【図4】



【図5】



(7)

【図2】

